

(19)日本国特許庁 (JP)

(12)特許公報 (B2)

3-0115-TH

(11)特許番号

第2833100号

(45)発行日 平成10年(1998)12月9日

(24)登録日 平成10年(1998)10月2日

(51)Int.Cl. ⁶	識別記号	F I
G 05 F 1/56	3 1 0	G 05 F 1/56
1/10	3 0 1	1/10
1/56	3 1 0	1/56
3/24		3/24
		Z

請求項の数1(全4頁)

(21)出願番号	特願平2-25348
(22)出願日	平成2年(1990)2月5日
(65)公開番号	特開平3-229314
(43)公開日	平成3年(1991)10月11日
審査請求日	平成8年(1996)7月22日

(73)特許権者	99999999 株式会社デンソー 愛知県刈谷市昭和町1丁目1番地
(72)発明者	藤本 裕 愛知県刈谷市昭和町1丁目1番地 日本 電装株式会社内
(74)代理人	弁理士 藤谷 修

審査官 小池 正彦

(58)調査した分野(Int.Cl.⁶, DB名)
G05F 1/00 - 7/00

(54)【発明の名称】 電力用半導体装置

【特許請求の範囲】

【請求項1】電流出力側が負荷に直列に接続される負荷駆動用パワーデバイスと、該負荷駆動用パワーデバイスにカレントミラー接続された負荷電流検出用パワーデバイスと、前記2つのパワーデバイスの電流出力側の電位をそれぞれ入力して比較し、その大小に応じた信号を出力する比較手段とを有する電力用半導体装置であって、前記負荷電流検出用パワーデバイスの電流出力側に直列に、かつ、前記負荷に並列に接続された電流検出用抵抗と、前記電流検出用抵抗に直列に、かつ、前記負荷に並列に接続され、前記2つのパワーデバイスをオン・オフさせるスイッチング手段と、
を有する電力用半導体装置。

【発明の詳細な説明】

【産業上の利用分野】

本発明は、負荷電流の検出精度を改良した電力用半導体装置に関する。

【従来の技術】

電力用の半導体素子に流れる負荷電流を検出する回路として、例えば、米国特許No.4553084号に開示された回路が知られている。

上記回路は、第2図に示すように、負荷電流駆動用のパワーMOSトランジスタ51に、電流検出用のパワーMOSトランジスタ52をカレントミラー接続して、負荷電流ILの $1/n$ (n は、例えば“2000”程度)を、検出電流IDとして取り出し、これを、抵抗値が既知の電流検出用抵抗RDに流し、その両端の電位差を検出する等して、負荷電流ILを検出する回路である。

【発明が解決しようとする問題点】

前述の米国特許No. 4553084号の回路は、パワーMOSトランジスタ51と、パワーMOSトランジスタ52のGS間（ゲート・ソース間）電圧に、検出電圧分の差が生じて、前記カレントミラーの比 n にズレが発生するため、検出精度が悪いという問題点を有する。

また、電流検出用抵抗RDを同一チップ上に構成しようとすると、設計抵抗値からの偏差が、個々のチップについてバラツキがちであるため、チップの外部に接続したいという要請がある。しかし、その場合には、そのままでは、チップの外部接続用端子数が増加してしまうという問題が発生する。

本発明は、上述の問題点に鑑みて成されたものであり、精度の良い検出を可能とすると共に、電流検出用抵抗を外部接続する場合にも、チップの端子数の増加がない装置を提供することを目的としている。

【問題点を解決するための手段及び作用】

本発明は、電流出力側が負荷に直列に接続される負荷駆動用パワーデバイスと、該デバイスにカレントミラー接続された負荷電流検出用パワーデバイスと、2つのパワーデバイスの電流出力側の電位の大小に応じた信号を出力する比較手段とを有し、さらに、負荷電流検出用パワーデバイスの電流出力側に直列に、かつ、前記負荷に並列に接続された電流検出用抵抗と、電流検出用抵抗に直列に、かつ、前記負荷に並列に接続されたパワーデバイスオン・オフ用のスイッチング手段とを有する電力用半導体装置である。

本発明の装置では、上述のように負荷と電流検出用抵抗とが並列に接続されるため、負荷電流は検出電流に影響を与えることなく独立している。

また、パワートランジスタオン・オフ用のスイッチング手段が、電流検出用抵抗に直列に接続されているため、電流検出用抵抗を外部接続する場合にも、チップの端子数の増加はない。

【実施例】

以下、本発明の実施例を、第1図に即して説明する。

図示の回路は、同一チップ上に構成された負荷電流駆動用のパワーMOSトランジスタ11、電流検出用のパワーMOSトランジスタ12、コンパレータ14、コンパレータ15、ブルアップ抵抗18、及び、駆動回路16と、上記チップに外部接続された負荷RL、電流検出用抵抗RD、及び、スイッチング用のNPNトランジスタ17とから構成される。

パワーMOSトランジスタ12は、パワーMOSトランジスタ11にカレントミラー接続されており、該2つのトランジスタ11、12のゲートには、駆動回路16からの駆動信号が印加されるように構成されている。

また、パワーMOSトランジスタ11のソースは、前記チップのOUT端子を介して負荷RLの一端に接続されており、該負荷RLの他端は接地されている。一方、パワーMOSトランジスタ12のソースは、前記チップのSENSE/IN端子を介して電流検出用抵抗RDの一端に接続されており、

該検出用抵抗RDの他端は、NPNトランジスタ17を介して接地されている。

さらに、パワーMOSトランジスタ11のソース側は、コンパレータ14の反転入力端子にも接続され、一方、パワーMOSトランジスタ12のソース側は、コンパレータ14の非反転入力端子にも接続されている。

前述のように、MOSトランジスタ11、12はカレントミラー接続されており、その比 n の大きさは、本実施例では、

$$n = 2000 = IL/ID$$

に設定されている。即ち、上記2つのMOSトランジスタ11、12がONした場合には、電流検出用抵抗RDに、負荷電流ILの1/2000の値の検出電流IDが流れる。

また、このとき、実施例装置のように、

$$RD/RL = 2000$$

に設定すると、負荷電流ILが正常（=負荷が正常）である場合には、上記2つのMOSトランジスタ11、12のソース電位が、略平衡状態となる筈である。

したがって、DIAG端子からチップ外部へ出力されるコンパレータ14の出力をモニタすることにより、負荷電流ILの正常／異常を、換言すれば、負荷RLの正常／異常を判定することができる。なお、コンパレータ14とともに、該コンパレータ14と同様にして、検出レベルの異なる複数個のコンパレータを接続した場合には、複数パターンの電流検出が可能となる。

また、本実施例装置の回路に於いて、パワーMOSトランジスタ12のソース側は、コンパレータ15の反転入力端子にも接続されている。さらに、該反転入力端子にはブルアップ抵抗18の一端が接続されるとともに、該ブルアップ抵抗18の他端は電源VDDに接続されている。

次に、NPNトランジスタ17の作用について説明する。

まず、パワーMOSトランジスタ12のOFF時に於いて、コンパレータ15の反転入力端子には、電源電圧VDDが入力している。なお、コンパレータ15の非反転入力端子には、所定値の基準電圧VREFが入力されている。

いま、スイッチング用のNPNトランジスタ17のベースにオン信号（信号Siのハイレベル状態）が入力されて、該トランジスタ17がターンオンすると、コンパレータ15の反転入力端子の入力電圧値が低下して、基準電圧VREFとの大小関係が反転する。このため、コンパレータ15の出力信号は、ロウレベルからハイレベルとなり、駆動回路16に入力する。

これにより、駆動回路16は、前記2つのパワーMOSトランジスタ11、12に対して駆動信号を出し、パワーMOSトランジスタ11、12を駆動する。即ち、NPNトランジスタ17へのON信号により、パワーMOSトランジスタ11、12をONさせることができる。

なお、パワーMOSトランジスタ11、12がONすると、検出抵抗RDには検出電流IDが流れると、再びコンパレータ15の反転入力端子への入力電圧値が上昇する。

また、駆動回路16への入力信号は、NPNトランジスタ17への入力信号Siの立ち上がりに同期して、ロー、ハイ、ローと変化する。

なお、上述の実施例では、スイッチング手段としてNPNトランジスタ17を用いているが、これは他の手段、例えば、MOSFET、リレー等で構成してもよい。また、上述の実施例では、負荷電流検出抵抗RD、NPNトランジスタ17をチップ外部に接続しているが、これは、チップ内部に構成してもよい。

又、パワーMOSトランジスタ11、12は、IGBT（絶縁ゲート型バイポーラトランジスタ）でも構成可能である。

【発明の効果】

以上、本発明は、負荷駆動用パワーデバイスと負荷電流検出用パワーデバイスとがカレントミラー接続されており、さらに、負荷電流検出用パワーデバイスに直列に、かつ、負荷に並列に電流検出用抵抗が接続され、また、電流検出用抵抗に直列にスイッチング手段が接続さ

れた電力用半導体装置である。

本発明の装置では、前述のように負荷と電流検出用抵抗とが並列に接続されるため、2つのパワーデバイスのGS間に、検出電圧による差は発生せず、精度の良い検出ができる。

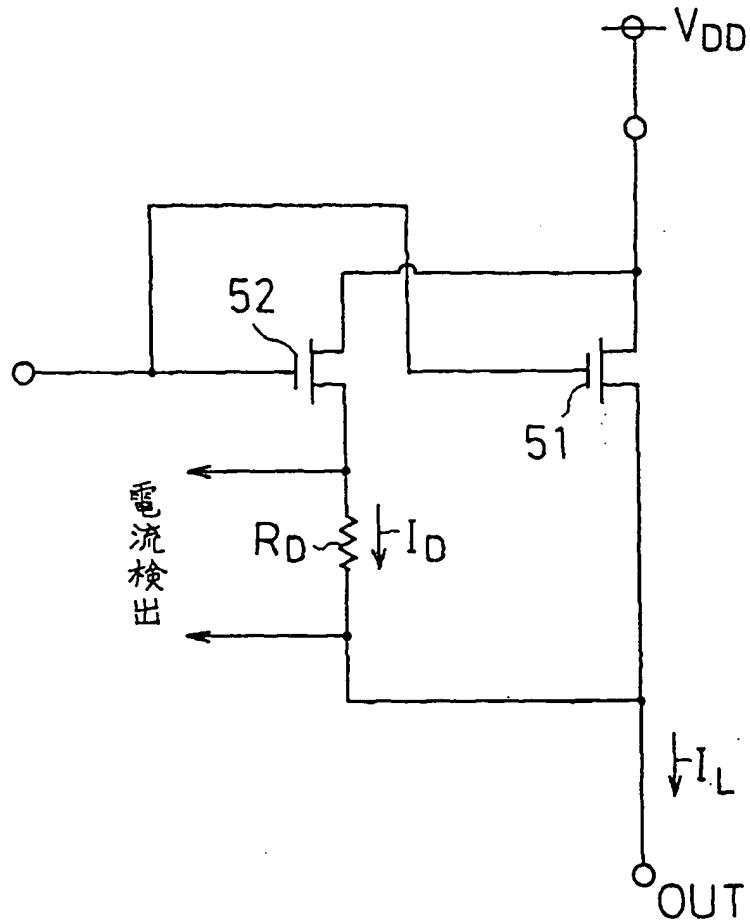
また、パワーデバイスオン・オフ用のスイッチング手段が電流検出用の抵抗に直列に接続され、両者の端子を共用できるため、電流検出用抵抗をチップの外部に構成する場合にも、チップの端子数の増加はない。

【図面の簡単な説明】

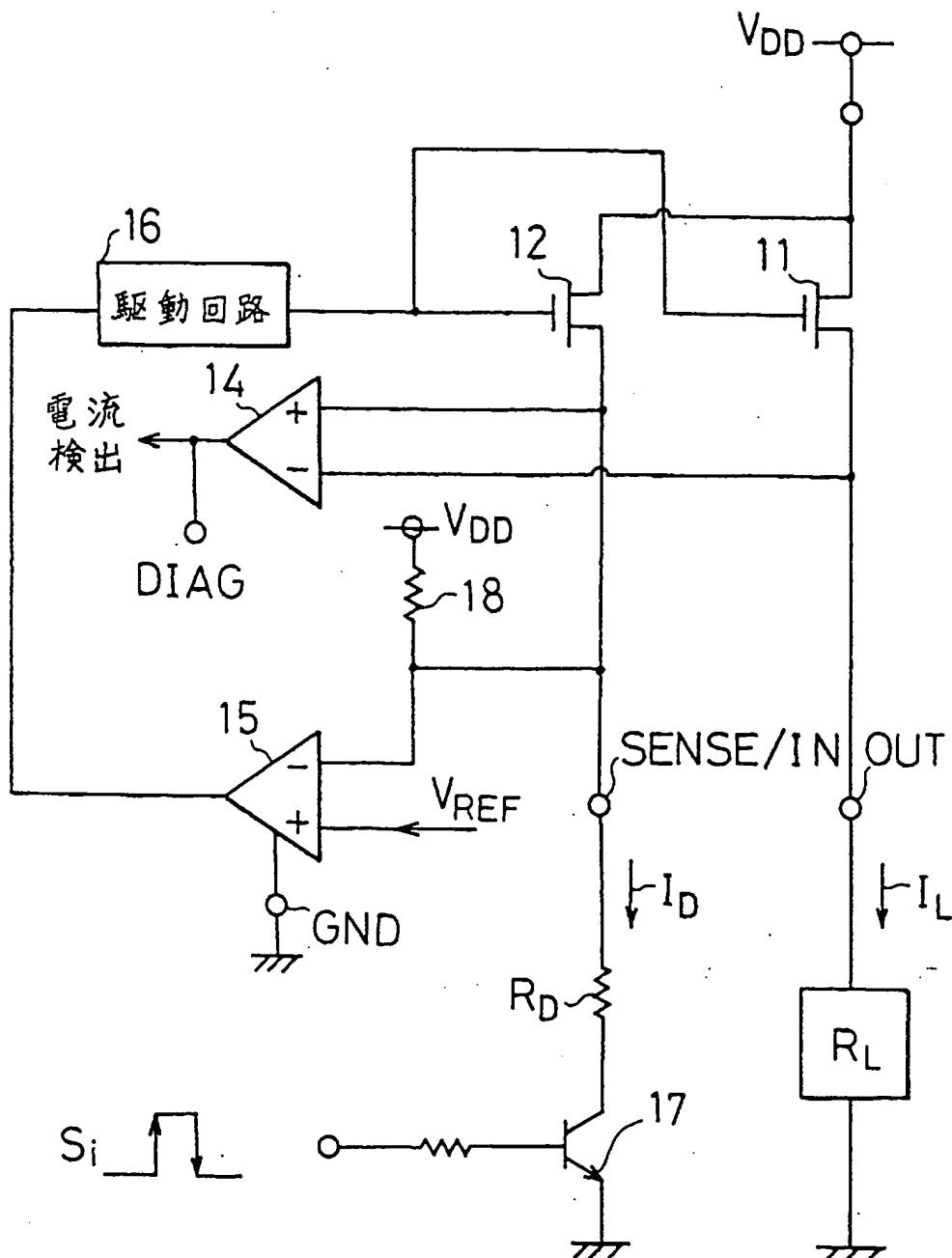
第1図は本発明の実施例にかかる電力用半導体装置の回路構成図、第2図は従来の電力用半導体装置の回路構成図である。

11……負荷駆動用MOSパワートランジスタ
12……負荷電流検出用パワーMOSトランジスタ
RL……負荷、RD……負荷電流検出用抵抗
17……スイッチング用NPNトランジスタ

【第2図】



【第1図】



POWER SEMICONDUCTOR DEVICE

Patent Number: JP3229314
Publication date: 1991-10-11
Inventor(s): FUJIMOTO YUTAKA
Applicant(s): NIPPONDENSO CO LTD
Requested Patent: JP3229314
Application Number: JP19900025348'19900205
Priority Number(s):
IPC Classification: G05F3/24
EC Classification:
Equivalents: JP2833100B2

Abstract

PURPOSE: To obtain the device which can detect with high accuracy, and also, does not increase the number of terminals of a chip even in the case of connecting externally a current detecting resistance by connecting the current detecting resistance in series to the current output side of a load current detecting power device, and also, in parallel to a load.

CONSTITUTION: The source of a power MOS transistor 11 is connected to one end of a load RL through the OUT terminal of a chip, and the other end of the load RL. On the other hand, the source of a power MOS transistor 12 is connected to one end of a current detecting resistance RD through the SENSE/IN terminal of the chip, and the other end of the detecting resistance RD is grounded through an NPN transistor 17. That is, the current detecting resistance RD is connected in series to the load current detecting power device 12, and also, in parallel to the load RL, and the switching means 17 is connected in series to the current detecting resistance RD. In such a way, between the gate and the source of two power devices 11, 12, a difference by a detection voltage is not generated, the detection can be executed with high accuracy, and even in the case the current detecting resistance is constituted in the outside of the chip, the number of terminals of the chip does not increase.

Data supplied from the esp@cenet database - I2.